

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026642

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.
H01L 23/28
H01L 21/56
H01L 21/60
H01L 23/12

(21)Application number : 09-181132

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.07.1997

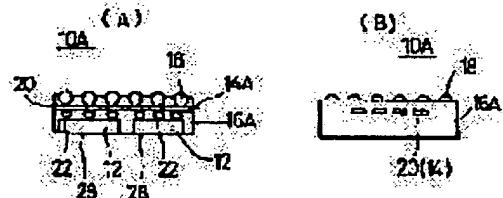
(72)Inventor : KAWAHARA TOSHISANE
OOSAWA MITSUHIRO
MORIOKA SOUCHI
NIIMA YASUHIRO
ONODERA MASANORI
FUKAZAWA NORIO
KASAI JUNICHI

(54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF AND MOUNTING STRUCTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To raise the degree of terminal layout freedom and reliability of a semiconductor device having a chip size package structure, manufacture thereof and mounting structure thereof.

SOLUTION: A semiconductor device comprises one or more semiconductor elements 12, sealing resin 16A sealing the elements 12, electrode plates 14A which are disposed in the resin 16A, with leaving their ends exposed at the side face of the resin 16A to form side terminals 20 and electrically connected to the elements 12, and protrudent terminals 18 disposed on the plates 14A but exposed at the bottom face of the resin 16A. The plates 14A radiate the heat produced from the elements 12 and reinforce the resin 16A.



LEGAL STATUS

[Date of request for examination] 21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国 特許 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-26642

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.	識別記号	P I H 01 L 23/28 21/56 21/60 23/12	23/28 R 21/60 3 1 1 23/12	A R 3 1 1 S L
(21) 出願番号 特願平9-181132	(71) 出願人 富士通株式会社	000005223		
(22) 出願日 平成9年(1997) 7月7日	(72) 発明者 川原 遼吉 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 1号 富士通株式会社内 大澤 雄洋 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内	1号 神奈川県川崎市中原区上小田中4丁目1番 1号 1号 大澤 雄洋 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内		
(74) 代理人 井澤士 伊東 忠雄	(75) 本発明の特徴を明らかにするための実験結果 するための図			

(5) [発明の名稱] 半導体装置及びその製造方法及びその実験結果

(57) 【要約】

【課題】 本発明はチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実験結果に関するものである。

【解決手段】 単数または複数の半導体素子1・2と、この半導体素子1・2を封止する封止樹脂1・6 Aと、封止樹脂1・6 A内に配設されて半導体素子1・2と電気的に接続する共にその端部が封止樹脂1・6 Aの側面に露出して側面部子2・0を形成する電極板1・4 Aと、この電極板1・4 Aに配設され封止樹脂1・6 Aの底面から露出する突出端子1・8とを設ける。この電極板1・4 Aは、半導体素子1・2で発生する熱を放熱すると共に、封止樹脂1・6 Aの補強材として機能する。



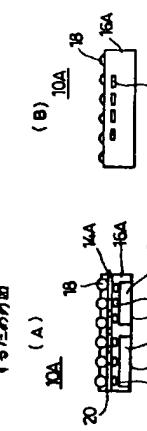
最終頁に続く

(5) [発明の詳細] 半導体装置及びその製造方法

(58) 【発明の範囲】

【課題】 本発明はチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実験結果に関するものである。

【解決手段】 単数または複数の半導体素子1・2と、この半導体素子1・2を封止する封止樹脂1・6 Aと、封止樹脂1・6 A内に配設されて半導体素子1・2と電気的に接続する共にその端部が封止樹脂1・6 Aの側面に露出して側面部子2・0を形成する電極板1・4 Aと、この電極板1・4 Aに配設され封止樹脂1・6 Aの底面から露出する突出端子1・8とを設ける。この電極板1・4 Aは、半導体素子1・2で発生する熱を放熱すると共に、封止樹脂1・6 Aの補強材として機能する。



最終頁に続く

(59) 【要約】

【課題】 本発明はチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実験結果に関するものである。

【解決手段】 単数または複数の半導体素子1・2と、この半導体素子1・2を封止する封止樹脂1・6 Aと、封止樹脂1・6 A内に配設されて半導体素子1・2と電気的に接続する共にその端部が封止樹脂1・6 Aの側面に露出して側面部子2・0を形成する電極板1・4 Aと、この電極板1・4 Aに配設され封止樹脂1・6 Aの底面から露出する突出端子1・8とを設ける。この電極板1・4 Aは、半導体素子1・2で発生する熱を放熱すると共に、封止樹脂1・6 Aの補強材として機能する。



最終頁に続く

(60) 【発明の範囲】

【課題】 本発明はチップサイズパッケージ構造を有した半導体装置及びその製造方法及びその実験結果に関するものである。

【解決手段】 単数または複数の半導体素子1・2と、この半導体素子1・2を封止する封止樹脂1・6 Aと、封止樹脂1・6 A内に配設されて半導体素子1・2と電気的に接続する共にその端部が封止樹脂1・6 Aの側面に露出して側面部子2・0を形成する電極板1・4 Aと、この電極板1・4 Aに配設され封止樹脂1・6 Aの底面から露出する突出端子1・8とを設ける。この電極板1・4 Aは、半導体素子1・2で発生する熱を放熱すると共に、封止樹脂1・6 Aの補強材として機能する。



最終頁に続く

【特許請求の範囲】

【請求項1】 単数または複数の半導体素子と、前記半導体素子の一部或いは全部を封止する封止樹脂と、

前記封止樹脂内に配設され、前記半導体素子と電気的に接続する共にその一部が少なくとも前記封止樹脂の側面に露出して外部接続端子を形成する電極板とを具備することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記半導体素子と前記電極板とをフリップチップ接合したことを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、前記電極板を前記封止樹脂の側面に加え底面にも露出させて外部接続端子を形成する構成としたことを特徴とする半導体装置。

【請求項4】 請求項1または2記載の半導体装置において、前記電極板に突出形成された突出端子を設けると共に、前記突出端子を前記封止樹脂の底面に露出させて外部接続端子を形成する構成としたことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記突出端子は、前記電極板を塑性加工することにより前記電極板に一体的に形成したことを特徴とする半導体装置。

【請求項6】 請求項4記載の半導体装置において、前記突出端子は、前記電極板を前記封止樹脂で固定する構成としたことを特徴とする半導体装置。

【請求項7】 請求項1乃至6のいずれかに記載の半導体装置において、前記半導体素子の一部を前記封止樹脂より露出させた構成としたことを特徴とする半導体装置。

【請求項8】 請求項1乃至7のいずれかに記載の半導体装置において、前記封止樹脂の前記半導体素子に近接する位置に放熱部材を配設したことを特徴とする半導体装置。

【請求項9】 金属基板に対しハーフン成形処理を行なうことにより電極板を形成する電極板形成工程と、前記電極板に半導体素子を搭載し電気的に接続するチップ載工程と、前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、

個々の半導体接合部の境界位置で、前記封止樹脂を切り出す切断工程と有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、前記半導体素子と、前記半導体装置の表面に形成される半導体接合部を前記半導体装置の外部接続端子に接合する。

【請求項11】 少なくとも表面に突起電極ピンと、前記接続ピンを位置決めする接続部材を用い、前記接続ピンの上端部を前記半導体装置の外部接続端子に接合する。

【請求項12】 少なくとも表面に突起電極ピンと、前記接続ピンを位置決めする接続部材を用い、前記接続ピンと共に前記半導体装置の先端部を残し前記突起部材として機能する。

電極端子を封止する樹脂層とを具備する半導体接合部本体と、
半導体接合部本体が装着されると共に、前記半導体接合部本体が接着剤で接続される配線バーンがベース部材上に形成
されたインタボーザと、
接着性及びひずみ正方向に対する導電性を有しており、前記

[請求項30] 半導体素子の少なくとも表面上に突起部を有する電極を直接形成すると共に、該半導体素子の表面上に前記突起部を残し誇張層を形成し半導体装置本体を形成する半導体装置本体形成工程と、前記半導体装置本体が接続される配線ベース部材上に前記半導体装置本体が接続される配線ペ

前記半導体装置本体と前記半導体装置本体を前記インサートボルト一組に接着固定するため、前記半導体装置本体と前記インサートボルト一組との間に介装され、前記半導体装置本体と前記インサートボルト一組との間に介装される配線バーンがベース部材上に形成されたインサートボルトと、

【請求項 2 4】 請求項 3 記載の半導体接装置において、
前記導電性部材は、導電性ペーストであることを特徴と
する半導体接装置。

【請求項 2.5】 請求項 2.3 記載の半導体装置において、前記導電性部材は、スタッダーブルであることを特徴とする半導体装置。
【請求項 2.6】 請求項 2.3 記載の半導体装置において、

請求項2.7】 前記電性部材は、前記配線パターンと一體的に形成されると共に前記接着剤の配置位置を迂回して前記突起電極間に接続するフライングリードであることを特徴とする。
【導体接置。】

【請求項 2】 請求項 3 記載の半導体装置において、
少なくとも前記突起電極と前記フライングードとの接
続部を樹脂封止する構成としたことを特徴とする半導
体装置。

することを特徴とする半導体装置。
請求項2.9】 電極部材により形成されている

000051 アンダーフィルレジン6は、比較的流動されるように、半導体素子2と実装基板5との間に形成されるアーチ状の接觸部を半導体素子2と実装基板5との間に形成する。

ことにより形成される。このアンダーフィルレジン、熱応力印加時にかかる電気電流 4 と電極 5 との間における熱離発生を防止すると共に、半導体装置 1 における熱離発生を防止する機能を有している。

接続端子 1 は、半導体素子 2 が外部に露出した状態で実験用板 5 に取付けられるため強度的に弱く、よって信頼性の観点から問題点があった。また、突起部 7 が形成された電極ヘッドに直角方向に取付けられた半導体素子 2 の下面に形成された電極ヘッドのレイアウトが複雑化されただけでなく、接続端子 1 が取付けられた構成であったため、接続端子 1 の接続部が複数個存在する。

【00007】本説明は上記の点に鑑みてなされたもの
た。

半導体製造装置の開発とその実装構造について、下記の順序で解説する。

ことを具備することを特徴とするものである。また、請求項2記載の発明では、前記精工機11記載の半導体装置において、前記半導体チップと前記基板とをフリップチップ接合したことを特徴とする。また、請求項3記載の発明では、前記露状部である。

また、請求項4記載の発明では、前記端子部は、半導体装置において、前記電極板を構成するよう構成したことを特徴とするものであつた。また、請求項4記載の発明では、前記端子部は、半導体装置において、前記電極板を構成するよう構成したことを特徴とするものであつた。

前記突出端が突出端を形成された突出端子を設けると共に、前記突出端が前記封止樹脂の底面に露出させて外部接続端子を形成構成したことを特徴とするものである。

を有するシケットを用い、前記半導体装置を前記シケットに装着して前記リード部と前記外部接続端子を接続した上で、前記リード部を前記実装基板に接合させることを特徴とするものである。

【0018】また、請求項1～5記載の発明では、前記請求項4乃至6のいずれかに記載の半導体装置において、前記突起端子の一部を前記封止樹脂により露出させた構成を形成する前記突起端子にパンフを配設し、このパンフを形成する前記半導体装置を前記実装基板に接合させることを特徴とするものである。

【0019】また、請求項1～6記載の発明では、前記請求項3乃至8のいずれかに記載の半導体装置を実装基板に実装する前記半導体装置の実装構造において、前記外部接続端子の形成位置に対応した位置に配設された可視可能な接続ピンと、この接続ピンを位置決めする位置決め部材とにより構成される実装部材を用い、前記接続ピンの上端部を前記半導体装置の外部接続端子に接合すると共に、下端部を前記実装基板に接合することを特徴とするものである。

【0020】また、請求項1～7記載の発明では、前記半導体装置の製造方法では、金属基板に対しパターン成形処理を行なうことにより電極板を形成する電極板形成工程と、前記半導体装置に半導体素子を搭載し電気的に接続するチップ接続工程と、前記半導体素子及び前記電極板を封止する封止樹脂を形成する封止樹脂形成工程と、個々の半導体装置の接合位置の境界位置で、前記封止樹脂及び前記電極板を切り出す切断工程とを有することを特徴とするものである。

れることに別途起電極の光沢鋼板を後し前記起電極を封止する樹脂層とを具備する半導体装置本体と、前記半導体装置本体が接続バーチャンがベース断材上に形成された接続される接続部材と前記インタボーザと、接着性及び押圧方向に対する導電性を有しており、前記半導体装置本体と前記インタボーザとの間に介装され、前記半導体装置本体を前記インタボーザに接着固定すると共に押圧されることにより前記半導体装置本体と前記インタボーザとを電気的に接続する異方性導電膜と、前記ベース部材に形成された孔を介して前記接続バーチャンと接続されると共に、前記半導体装置本体の接地面と反対側の面上に記載の配設ビッチと、前記インタボーザに配設された前記外部接続端子と前記接続端子との間で接続する手段として、フリップチップ接合法を用いたことを特徴とするものである。

【0015】また、請求項12記載の発明では、前記請求項9または1のいずれかに記載の半導体装置の製造方法において、前記放熱部材を取り付けられた状態で前記半導体素子を前記電極板に接続することを特徴とするものである。

【0016】また、請求項13記載の発明では、前記請求項9または12のいずれかに記載の半導体装置の製造方法において、前記電極板形成工程で、前記電極板より突出する突出端子を形成すると共に、前記封止樹脂形成工程で、前記突出端子が前記封止樹脂から露出するよう前記封止樹脂を形成することを特徴とするものである。

【0017】また、請求項14記載の発明では、前記請求項1乃至8のいずれかに記載の半導体装置を実装基板に実装する半導体装置の実装構造において、前記半導体装置が接着部材と、前記封止樹脂の側面に露出した外部接続端子と接続するよう露出されたリード部と

【0024】また、請求項2.2記載の発明に係る半導体接続装置では、前記インタボーザとしてT A B (Tape Automated Bonding)テープを用いたことを特徴とするものである。

【0025】請求項2.3記載の発明に係る半導体接続装置では、前記半導体接続装置では、半導体素子の少なくとも表面上に直接形成すると共に、この半導体素子の表面を形成し半導体接続装置本体を形成する半導体接続装置本体形成工程と、ベース部材上に前記起亜電極の先端部を複数層を形成する前記起亜電極形成工程と、前記ベース部材上に孔を形成する前記孔形成工程と、前記半導体接続装置本体と前記起亜電極との間に接続されるインターボーザ形成工程と、前記インターボーザと接続する導電性及び弾性性の導線部材と前記インターボーザとの間に接続される導電性及び弾性性の導線部材と前記孔形成工程と、前記半導体接続装置本体の搭載面と反対側の面に、前記ベース部材に形成された孔を形成する前記接続端子形成工程とを具備することを特徴とするものである。

【T0026】また、請求項 2.4 記載の発明では、前記接続端子を反対側の面に配設する。請求項 2.4 の特徴は、接続端子を反対側の面に配設することである。

【T0027】また、請求項 2.6 記載の発明では、前記接続端子を反対側の面に配設する。請求項 2.6 の特徴は、接続端子を反対側の面に配設することである。

【T0028】また、請求項 2.7 記載の発明では、前記接続端子を反対側の面に配設する。請求項 2.7 の特徴は、接続端子を反対側の面に配設することである。

【T0029】また、請求項 2.8 記載の発明では、前記接続端子を反対側の面に配設する。請求項 2.8 の特徴は、接続端子を反対側の面に配設することである。

する構成としたことを特徴とするものである。また、
求項2.8記載の発明では、前記静止部材と2.3記載の半導
体装置において、前記導電性部材は、前記突起電極の折
位置に応した位置に配設され、その上端部を前記半導
体装置の突起電極に接合すると共に、下端部を前記タ
バコ端子に接合する接続ピンと、この接続ピンを位
する位置決め部材とにより構成されることを特徴と
るものである。

[100-2.9] また、請求項2.9記載の発明では、前
記2.8記載の半導体装置において、前記位置決め部
材は、可動性部材により形成されていることを特徴とす
るものである。更に、請求項3.0記載の発明に係る半導
体装置の製造方法では、半導体素子の少なくとも表面
を直接形成すると共に、この半導体素子の表
面上に前記突起電極の先端部を残し樹脂層を形成し半導
体装置本体を形成する半導体装置本体が接続される配線バタ
ー部材上に前記半導体装置本体が接続される配線バタ
ーを形成すると共に、前記ベース部材の前記突起電極部
位に応する位置に丸を形成しインタボーザを形成
するインタボーザが形成され、前記半導体装置本体がま
た一方で導電性部材を有する導電性部材と前記半導
体装置本体と接続される構成である。

インダクターサーなどを接続端子を介して接合すると共に、半導体部材により前記半導体装置本体と前記インダクターザなどを接続する接合部の面に、前記ベース部材に形成された複数面と反対側の面に、前記ベース部材に形成された孔を介して前記配線バーンと接合されるよう外殻端子を形成する外殻接続端子形成工程とを具備する」と特徴とするものである。

【0030】上記した各手段は、次のように作用する。

請求項1記載の発明に係る半導体装置によれば、半導体装置を保護する封止樹脂内には電極板が存在し、この電極板は封止樹脂指を補強する機能を有するため、半導体装置の保護をより確実に行なうことができ、よって半導体装置の信頼性を向上することができる。

【0031】また、電極板は半導体装置と外部接続端子との間に位置するものであるため、半導体装置に直接外接端子を接続する構成と異なり、電極板により半導体装置と外部接続端との間に配線の引出しを行なうことか可能なとなる。よって、電極板を取除くことにより半導体装置の端子レイアウトの自由度を高めることができる。

たた、電極板は導電性金属よりも塑性が良好であるため、半導体装置で発生した熱は電極板を介して外部に放熱される。よって、半導体装置で発生した熱を効率よく放熱することがができる。

生産コスト更に、電極板の外部接続端子は封止樹脂側面に露出した構成とされているため、半導体装置を装着基板に接続した後ににおいてもこの半導体装置を用いて半導体装置の動作試験を行なうことが可能となる。

体端子と電極板などをフリップチップ接合したことにより、シリコン半導体装置の境界位置で封止樹脂及び電極板を切断することにより個々の半導体装置に接合することができます。また、接合部における配線層が細いためインヒーダンスを低減できると共に、多ビン化にも対応することができます。

【0034】また、請求項3記載の発明によれば、電極板を封止樹脂の側面に加え底面にも露出させて外部接続端子を形成するよう構成したことにより、側面ばかりでなく底面においても実装を行なうことが可能となる。よって、半導体装置を実装する際、実装構造の自由度を向上させることができ、よって例えば小スペース化を図る実装形態であるフェイスダウンボンディングにも対応することができる。

【0035】また、請求項4記載の発明によれば、電極板に突出された突出端子を封止樹脂の底面に露出させて外部接続端子を形成することにより、実装時に確実に外部接続端子を実装基板に接続することができる。また、電極板の外部接続端子の部分は封止樹脂に埋設された構成となるため、隣接する外部端子はこの封止樹脂により絶縁される。このため、実装時に端子間に接続する外端接続端子間で短絡が発生するようなことはなく、実装における信頼性を向上させることができると。

【0036】また、請求項5記載の発明によれば、突出端子を電極板を塑性加工することにより電極板に一體的に形成したことにより、突出端子を別部材により形成する構成に比べて部品点数の削減を図ることができると共に容易に形成することができる。また、請求項6記載の発明によれば、突出端子を電極板に配置した突起電極としことにより、半導体装置をBGA(Ball Grid Array)と同様に取り扱うことができ、実装性を向上させることができる。

【0037】また、請求項7及び請求項8記載の発明によれば、半導体端子の一部を封止樹脂より露出させた構成としたことにより、あるいは封止樹脂の半導体端子に近接する位置に放熱部材を配置したことにより、半導体端子で発生する熱を効率よく放熱することができる。また、請求項9記載の発明によれば、電極板形成工程で金属基板に対しバーン成形処理を行なうことにより電極板を形成し、続くチップ接続工程で電極板に半導体端子を搭載し電気的に接続する。この際、バーン成形処理において任意の配線パターンの構造を行なうことができ、よってソケットの構造の簡略化を行なうことができる。

【0042】また、請求項15記載の発明によれば、外端接続端子を形成する突出端子をパンプを配置し、このパンプを介して半導体接続端子を実装基板に接合させることにより、半導体接続端子との接続を行なうことができ、また、接続端子を封止樹脂と封止樹脂間に接続する構造と同様に実装を行うことができ、実装性の向上及び多ビン化への対応を図ることができる。

【0043】また、請求項16記載の発明によれば、接

続ビンの上端部を半導体装置の外部接続端子に接合することにより、個々の半導体装置の境界位置で封止樹脂及び電極板を切断することにより個々の半導体装置が形成される。よって、電極板が底面に露出し、この露出部分を外部接続端子として用いることができる。

【0044】また、接続ビンは位置決めが部材により外部接続端子に対応した位置に位置決めされ、そのため孔内における導通率は向上しても、この芯力は接続ビンが可操作性により吸収されてしまう。よって、芯力が印加されても、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【0045】また、接続ビンは位置決めが部材により外部接続端子の形成位置に位置決めされ、そのため孔内における導通率は向上しても、この芯力は接続ビンが可操作性により吸収されてしまう。よって、芯力が印加されても、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【0046】また、請求項1記載の発明によれば、半導体装置本体は、半導体端子の表面に於ける配線部材を用いて、半導体端子を電極板に接続する構成であるため、チップ接続工程において、個々の半導体端子の位置決めを行なう必要がなくなり、形状の大きな放熱部材と電極板とを位置決めすればよいいため、位置決め工程を容易化することができる。

【0047】また、請求項1記載の発明によれば、電極板形成工程において、電極板より突出する突出端子を形成することにより、突出端子部の形成を電極板の形成と同時にかかつて行なうことができるため、半導体装置の製造工程の簡略化を図ることができる。また、封止樹脂形成工程で、この突出端子が封止樹脂から露出するようまで封止樹脂を形成することにより、実装時に外端接続端子を実装基板に接続することができると共に隣接する外端接続端子間で短絡が発生することを防止することができる。

【0048】また、請求項4記載の発明によれば、ソケットを用いて半導体接続端子と接合するため、半導体接続端子の接続部を容易にでき、例えばメンテナンス等において半導体接続端子を交換する必要が生じたような場合でも、容易に交換修理を行なうことができる。また、ソケットに取付けられたリード部は通常半導体接続端子が接続される接着部の側面部に露出しており、また半導体接続端子の外端接続端子は封止樹脂で短絡が発生する構成である。このため、接続部においてリード部と外端接続端子とは対向するため、各機能を別個の部材により行なう構成に比べて部品点数及び組立て工数の低減を図ることができる。

【0049】また、請求項2記載の発明によれば、インタボーザは、半導体装置本体が印加されることにより、ボーザ上に、突起電極と対向する力を有する半導体接続端子と半導体接続端子の配線部材を配置したことで、半導体接続端子に印加される押圧力はこの孔の位置に集中するため孔内における導通率は向上し、半導体接続端子本体とインタボーザとの電気的接続を可能にする。また、請求項2記載の発明によれば、インタボーザとしてT A T B テープを用いたことにより、ABテープは半導体接続端子の構成部品として安価に供給されているため、インタボーザとしてT A T B テープを用いたことにより半導体接続端子のコスト低減を図ることが可能である。また、請求項23及び請求項30記載の発明によれば、半導体接続端子は、半導体端子の表面に於ける配線部材を用いて半導体端子を電極板に接続する構成であるため、チップ接続工程において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、ベース部材上において任意の配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体接続端子に設けられた突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。この配線パターンには、ベース部材に形成された孔を介して外部接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体接続端子に設けられた突起電極の形成位置に拘わらず外部接続端子の端子レイアウトの自由度を高めることができる。

【0050】また、異方性導電膜は接着性及び押圧方向に対する導電性を有しているため、この異方性導電膜を用いて半導体接続端子本体とインタボーザとを接合することができる。この際、異方性導電膜は可燃性を有し、かつて半導体接続端子本体とインタボーザとの機械的及び電気的接合を共に確実に行なうことが可能となる。また、接着力剤は半導体接続端子本体とインタボーザとを機械的に接合し、また接着力剤がベース部材上に形成された構成であるため、ベース部材上において任意の配線パターンを形成することができる。この配線パターンには、ベース部材に形成された孔を介して外端接続端子が接続される。この際、上記のように配線パターンを任意に設定できるため、配線パターンを引き回すことにより半導体接続端子本体に接合された突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。よって、外部接続端子のレイアウトの自由度を高めることができる。

【0051】また、接着力剤がベース部材と半導体接続端子とを電気的に接合(接続)する。このように、異方性導電膜は接続部材と電気的接合を別個の部材により行なうことにより、各機能(機械的接合機能、電気接合機能)に最適な部材を配置することができる。また、接着力剤は固化した状態においても定の可燃性を有し、かかつ半導体接続端子本体とインタボーザとの機械的及び電気的接合を共に確実に行なうことが可能となる。また、接着力剤の信頼性を向上させることができる。

【0052】更に、接着力剤は固化した状態においても定の可燃性を有し、かかつ半導体接続端子本体とインタボーザとの間に介接されため、接着力剤は緩衝膜として機能する。よって、異方性導電膜により、半導体接続端子本体とインタボーザとの間に発生する応力を緩和することができる。また、請求項18記載の発明によれば、半導体接続端子本体が形成された突起電極の配線部材を封止樹脂と接続する構造と同様に実装することができ、実装性の向上及び多ビン化への対応を図ることができる。

【0053】また、請求項10記載の発明によれば、電極板を封止樹脂の側面に加え底面にも露出させて外部接続端子を形成することで、半導体接続端子と実装基板との間に接続ビンが介在した構成となる。この接続ビンは可燃可能な構成であるため、例えは加熱時等に半導体接続端子と実装基板側で熱膨張率差に起因して応力が発生しても、この芯力は接続ビンが可燃することにより吸収されてしまう。よって、芯力が印加されても、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【0054】また、請求項11記載の発明によれば、インタボーザとしてT A T B テープを用いたことにより、ABテープは半導体接続端子の構成部品として安価に供給されているため、インタボーザとしてT A T B テープを用いたことにより半導体接続端子のコスト低減を図ることが可能である。また、請求項2記載の発明によれば、インタボーザは、半導体接続端子の表面に於ける配線部材を用いて半導体接続端子本体が接続されるため、この半導体接続端子が形成された構成であるため、インタボーザとT A T B テープを用いたことにより半導体接続端子のコスト低減を図ることが可能である。また、請求項2記載の発明によれば、半導体接続端子本体は、半導体端子の表面に於ける配線部材を用いて半導体接続端子本体が接続されるため、この半導体接続端子が形成された構成であるため、インタボーザは、半導体接続端子と実装基板との接続を保護すると共に、アーフィールドレンジとし得る。また、請求項2記載の発明によれば、半導体接続端子本体は、半導体端子の表面に於ける配線部材を用いて半導体接続端子本体が接続されるため、この半導体接続端子が形成された構成であるため、インタボーザは、半導体接続端子と実装基板との接続を保護することとなる。

【0055】また、請求項1記載の発明によれば、電極板を封止樹脂の側面に加え底面にも露出させて外部接続端子を形成することで、半導体接続端子と実装基板との間に接続ビンが介在した構成となる。この接続ビンは可燃可能な構成であるため、例えは加熱時等に半導体接続端子と実装基板側で熱膨張率差に起因して応力が発生しても、この芯力は接続ビンが可燃することにより吸収されてしまう。よって、芯力が印加されても、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができる。

【0056】また、請求項2記載の発明によれば、インタボーザとしてT A T B テープを用いたことにより、ABテープは半導体接続端子の構成部品として安価に供給されているため、インタボーザとしてT A T B テープを用いたことにより半導体接続端子のコスト低減を図ることが可能である。また、請求項2記載の発明によれば、インタボーザは、半導体接続端子の表面に於ける配線部材を用いて半導体接続端子本体が接続されるため、この半導体接続端子が形成された構成であるため、インタボーザとT A T B テープを用いたことにより半導体接続端子のコスト低減を図ることが可能である。また、請求項2記載の発明によれば、半導体接続端子本体は、半導体端子の表面に於ける配線部材を用いて半導体接続端子本体が接続されるため、この半導体接続端子が形成された構成であるため、インタボーザは、半導体接続端子と実装基板との接続を保護すると共に、アーフィールドレンジとし得る。また、請求項2記載の発明によれば、半導体接続端子本体は、半導体端子の表面に於ける配線部材を用いて半導体接続端子本体が接続されるため、この半導体接続端子が形成された構成であるため、インタボーザは、半導体接続端子と実装基板との接続を保護することとなる。

[0057] で導電性ベーストを用いたことにより、単に導電性ペーストを半導体素子の突起電極またはインタボーザの記録パターンに塗布するだけで導電性部材の配設を行なうことができるので、半導体装置の組み立て作業の容易化を図ることができる。また、導電性ペーストの塗布方法としては、周知の技術である記録方法や印刷法を用いることができる。

[0058] 1本実施例に係る半導体装置10Aは、大略すると半導体素子12、電極板14A、封止樹脂16A、及び突出端子18からなる極めて簡単な構成とされている。半導体素子12(半導体チップ)は、半導体基板に電子回路が形成されたものであり、その裏面側に複数のパンチホールが形成されている。このパンチホールはスリットパンチを介して接合されることとなり、電気的接続を確実に行なうことができる。また、請求項26記載の発明によれば、導電性部材を配線パターンと一体的に形成されると共に接着力の配設位置を迂回して突起電極に接続するフライングリードにより構成したことにより、ワイヤを用いて接続する構成に比べて接合に要するスペースを小さく化することができます。また、接合部分における配線長を短くすることができるため、インピーダンスを低減でき電気的特性の向上が可能となる。更に、隣接するパンチホールと突起電極との電気的接続の信頼性を向上させることができる。

[0059] 1本実施例に係る半導体素子12と電極板14とをフライングリードと突起電極と接続したことで、突起電極との電気的接続の信頼性を向上させることができた。また、フライングリードはバネ力を有しているため、接焼時にパンチホールと突起電極に圧接する。よって、これによつて突起電極が印加される際の電気的接続の信頼性を向上させることができる。

[0060] 1本実施例に係る半導体素子12はいわゆるインタボーザとして機能するものであり、例えば純金等の導電性金属により形成されている。この電極板14は、図2(A)に示されるように、所定のバーティン形状を有した複数の金属板バーティン2.6により構成されている。(尚、後述するように、図2(A)はリードフレーム形状の電極板14を示している)。

[0061] この金属板バーティン2.6は、図中下面に半導体素子12のパンチ電極2.2が接合されると共に、図中上面である半導体素子12の配設面と異なる面上に突出端子18が接合される。よつて、金属板バーティン2.6は、パンチ電極2.2と突出端子18とを電気的に接続する機能を有する。また、図1(B)に示されるように、金属板バーティン2.6の端部は封止樹脂16Aの側面から露出し、側端部2.0を形成している。

[0062] 突起端子18は、例えば半田によりなるが一ハンダ(突起電極)であり、上記のように電極板14に接合されている。この封止樹脂16Aは、例えは半田により形成されたり、及び突出端子18の一部を封止するよう形成された。この封止樹脂16Aは、例えばボライド、エポキシ等の絶縁性を有した樹脂であり、半導体素子12を覆い保護するため、半導体接置本体とインタボーザとの間に発生する応力を位置決め部材によっても吸収することができる。

[0063] 1本実施例に係る半導体装置10Aは、封止樹脂16Aを形成した状態において、半導体素子12の背面2.8は封止樹脂16Aから露出するよう構成されている。半導体素子12の背面2.8は電子回路等は形成されておらず比較的強度が高い部位であるため、背面2.8を封止樹脂16Aから露出させても特に不都合は生じない。また、背面2.8を封止樹脂16Aから露出させることにより、半導体素子12で発生した熱は、この背面2.8から外部に放熱される。また、半導体接置10Aの温度向上をより確実にすることができ、よつて半導体接置10Aの信頼性を上げることができる。

[0064] 1本実施例に係る半導体装置10Aは、封止樹脂16Aを形成した状態において、電極板14Aは、外部接続端子1と半導体接置10Aの間に位置するものである。このため、從来のように半導体素子12直接外部接続端子1と半導体接置10Aにより半導体接置10Aの内部において電極板14A:半導体素子12と突出端子18、側部端子2.0とで記録の引回しを行なうことが可能となる。よつて、電極板14を取除くことにより、半導体接置10Aの端子レバウトの自由度を高めることができる。

[0065] 図11は、本発明の第1実施例である半導体装置の実装構造を示しており、上記した構成の半導体接置10Aを実装基板3.2に接続した状態を示している。同図に示されるように、実装状態では突出端子18は封止樹脂16Aの底面と実装基板3.2との間に位置することと並び、側部端子2.0を突出端子18と共に他の基板あるいは接置と接続する外部接続端子として用いることが可能となる。

[0066] 1本実施例に係る半導体接置10Aでは、側部端子2.0を実装基板3.2に接続した状態を示している。同図に示されるように、実装状態では突出端子18は封止樹脂16Aの底面と実装基板3.2との間に位置することと並び、外部から接続したりまたプローブ等のテスト器具を接続することはできない。

[0067] 1本実施例に係る、半導体接置10Aでは、側部端子2.0を封止樹脂16Aの側面から露出させた構成としているため、半導体接置1.2を実装基板3.2に接続した後においても、この側部端子2.0を用いて半導体素子10Aの動作試験を行なうことなどが可能となる。よつて、不良半導体接置の発見を容易に行なうことができ、実装時における歩留りの向上及び信頼性の向上を図ることができる。

[0068] 1本実施例に係る半導体接置10Aの説明を続ける。上記した封止樹脂16Aは、半導体素子12を覆うばかりではなく、電極板14の突出端子18が接合された面上にも形成されている。そのため、突出端子18は封止樹脂16Aにより保持する機能を有する。よつて、外力印加等により突出端子18が半導体接置10Aから離脱することを防止することができる。また、封止樹脂16Aは絶縁性を有しているため、突出端子18の配設密度が高い場合(即ち、複ビッチ化された場合)であつても、実装時に隣接する突出端子18間で短絡が発生することを防止することができる。

[0069] 1本実施例に係る半導体接置10Aは、封止樹脂16Aが形成された状態において、封止樹脂16Aから突出端子18を実装基板3.2に接続することができる。また図11に示したように半導体接置10AをBGA(Ball Grid Array)と同様に取り扱うことができ、実装時の向上を図ることができる。

[0070] ここで、半導体接置10Aに接続する電極板14が形成されている。

[0074] この電極位置 1 A は、前記したように複数の金属板バーン 2 6により構成されている。この金属板バーン 2 6は、上記のバーン成形処理において任意の配線バーンに設定することができるため、電極板 4 Aにより配線の引回しを行なうことが可能となり、これにより電極板 1 Aに形成される外接続端子の端子レイアウトに自由度を持たせることができる。

[0075] 一方、図 2 (B) は、前記した電極板 1 A ((リードフレーム 2 4 A) に搭載される半導体素子 1 2 (1 A ~ 1 2 C)) を示している。本実施例では、一層の電極板 1 Aに 3 個の半導体素子 1 2 A ~ 1 2 Cを搭載する構成とした。また、各半導体素子 1 2 A ~ 1 2 Cは、各々電極板 1 Aと、各々電極板 1 Aと接続するため、各々電極板 1 Aと電気的に接続するためのパンチング部 2 2 Aが形成されている。

【0076】同図に示すように、半導体素子1～2A～1及びCの大きさは、必ずしも同一である必要はない。まことに切断工程では、多段複数個一括的に形成された半導体装置の各境界位置（図5にA～A'で示す破線位置）で、封止樹脂1.6A及びリードフレーム2.4A（電極板1.4A）を切断する。これにより、図1に示す半導体装置1.0Aが形成される。

【0077】上記のように、封止樹脂1.6Aと共にリードフレーム2.4A（電極板1.4A）を切断することにより、電極板1.4Aの切断位置は封止樹脂1.6Aの側面に必ず露出することとなり頭部端子2.0を形成する。よって、この頭部端子2.0を外部接続端子として用いることができる。繰りて、第2実施例に係る半導体装置1.0Bについて、脚注ナイン

[0083] 図6は、第2実施例に係る半導体装置10を説明するための図であり、図6(A)は半導体装置10の断面を、図6(B)は半導体装置10の底面を示している。尚、図6において、図1を用いて説明した第1実施例に係る半導体装置10と同一構成については、同一符号を付してその説明を省略する。また、以下説明する各実施例においても、同様とする。

[0084] 前記した第1実施例に係る半導体装置10Aは、電極板1.4Aに突起端子1.8を形成し、この突起端子1.8を封止樹脂1.6Aから露出させる構成としている。これに対し、本実施例に係る半導体装置10Bは、突起端子1.8を駆けることなく、電極板1.4Aを直接封止樹脂1.6Bから露出させたことを特徴とするものである。

[0078] 上記したチップ接合工程が終了すると、続いているのは、突起端子形成工程が実施される。この突起端子形成工程は、電極板1.4Aを構成する金属板バーン2.6の最終定位位置に突起端子1.8を形成する。突起端子1.8は半導体ボルトにより構成されており、例えば記述写法を用いて示すと、突起端子1.8は、金属板バーン2.6に接合される。図4は、突起端子1.8が駆けた電極板1.4Aを示している。この突起端子1.8は、上記のように金属板バーン2.6の配線バーチャル

[0085] 本実施例に係る半導体装置10Bは、突端子18が設けられていないため、部品点数の削減及び製造工程の簡素化を図ることができる。また、電極板14Aは、封止樹脂16Bの側面に加え底面にも露出し外部接続端子を形成するため、側面及び底面の双方において実装を行なうことができる。図1-3は、半導体装置10Bを実装した構造を示している。同図に示されるように、半導体装置10Bは封止樹脂16Bによって封止され、封止樹脂16Bは封止板14Aによって支えられる。

半田 3-6 を用いてフェイスダウンボンディングされている。この際、半田 3-6 は、電極板 1-4 A の底面部分ばかりでなく、側部端子 2-0 にも回り込んで半田付けされている。

100Vまでは、本実施例における半導体装置10Cは、後述する第3実施例に係る半導体装置10Cと同様には、側部端子20の第1部を用いて実装することができるが、側部端子20の第2部を用いて実装する場合には、側部端子20の第1部を用いて実装することも可能であり、よって実装構造の自由度を向上させることができるのである。統いて、第3実施例に係る半導体装置10Cについて説明する。図7は、第3実施例に係る半導体装置10Cの断面を、図7(B)は半導体装置10Cの上面を示す。

Bは、電極板1・Aの下面及び側端部をEに直接封止樹脂1・Bから露出させた構成としていたが、本実施例に係る半導体装置10Cは、電極板1・Aの側端部のみを露出させ側部端子2・0を形成したことで、側部端子2・0を介して封止樹脂1・Cから露出させた構成である。本実施例に係る半導体装置

【0088】 続いて、第4実施例に係る半導体装置10とDについて説明する。図8は、第4実施例に係る半導体装置10を説明するための図であり、図8(A)は半導体装置10の断面を、図8(B)は半導体装置10の上面を、図8(C)は半導体装置10の底面を長辺方向に示す。本実施例に係る半導体装置10Dは、電極部構成部14Bに起突端子30(突端子)を形成したところを特徴とするものである。この起突端子30は電極部構成部14Bを塑性加工(例えば、プレス加工)することにより形成されており、よって起突端子30と電極板14Bとは、一体的な構成となっている。

【0089】 また、起突端子30の形成処理は、前記した電極板形成工程で一括して形成することができる。

（A）、（B）に示されるように、封止樹脂 1 と封止樹脂 2 が複数個に並んで、また突起状端子 3 0 が複数個に並ぶようなことではなく、すべて突起状端子 3 0 が複数個の封止樹脂 1 によって部品全般の剛性を確保する構成である。上記構成とした突起状端子 3 0 の底面から露出するよう構成されている。このように、突起状端子 3 0 を封止樹脂 1 と 6 D の底面から露出させることにより、突起状端子 3 0 を外部接続端子として機能させることができる。

脂 16 D の底面及び側面に露出した構成とされています。また、半田 54 との接合面積を大きくすることができ、かつ確実に突起状端子 30 を実装基板 32 に接続することができる。

1000-1」などに、突起状端子3-0反の印記端子端子2-0に接続された様子を示す。半導体接合部1-4Bは接着剤3-0により接続された。図1000-1」などなるため、離接する突起状端子3-0間に接続された様子となる。このため、実装時に半田5-4によより短絡される。ではなく、実装の信頼性を向上させることができる。図1000-1」などは、第2実施例に係る半導体接合部1-0の製造方法を示している。

宜設定することにより容易に実現することができる。
【0093】図9は、電極板形成工程が実施されるごとににより形成されたリードフレーム2.4Bを示している。において、ハッチングで示される部分が突起状端子3.0であり、この突起状端子3.0は電極板1.4Bに嵌合して突出した形状を有している。このように、本実施例によれば、突起状端子3.0の形成を電極板1.4Bの形成同時にかつ一括的に行なうことのできるため、半導体基板1.10Dの製造工程の簡略化を図ることができる。

【0094】また、図10に示されるように、封止部形成工程では突起状端子3.0が封止樹脂1.6Dから露出するよう、封止樹脂1.6Dを形成する。このように、突起状端子3.0を封止樹脂1.6Dから露出させるには、封

〔10095〕まで、切断工場における切断位置は、図10095にA-Aで示す標準位置とされており、突起状端子の側面部が封止樹脂16Dから露出するよう選定されている。よって、図117に示されるように、実装時ににおいて半田54は突起状端子30の側面まで回り込み、半田54に実装する実装構造について説明する。

る。尚、図1-1に示す半導体装置10Aを実装する第1実施例に係る実装構造、図1-3に示す半導体装置10Bを実装する第2実施例に係る実装構造、及び図1-7に示す半導体装置10Dを実装する第7実施例に係る実装構造については既に説明済であるため、ここでの説明は省略するものとする。

[0097] 図1-2は、第2実施例に係る半導体装置の実装構造を示している。本実施例に係る実装構造は、第1実施例に係る半導体装置10Aを例に挙げたとおり、外部端子を形成する突起端子1-8に実装用パンプ3-4を配設し、この実装用パンプ3-4を介して半導体装置10Aを実装基板3-2に接合させたことを特徴とするものである。

[0098] このように、実装用パンプ3-4を介して半導体装置10Aを実装基板3-2に接合させる構造とすることにより、半導体装置10AをBGA(Ball Grid Arrangement)と同様に実装することができ、実装性の向上及び多ピン化への対応を図ることができ。また、突起端子1-8は電圧端子1-4Aに形成されるものであるため、その体积を大きくするには限界があるが、実装用パンプ3-4の接続部は位置に裕度があることによって、隣接する実装用パンプ3-4間で短絡が発生しない範囲において実装用パンプ3-4の体積を最大とすることにより、半導体装置10Aと実装基板3-2との接合力を増大することができる、これにより実装の信頼性を向上させることができ。尚、本実施例に係る実装構造は、他の実施例に係る半導体装置10A、10B、10Dについても適用できるものである。

[0099] 図1-4は、第4実施例に係る半導体装置の実装構造を示している。本実施例に係る実装構造は、第2実施例に係る半導体装置10Bを例に挙げたものであり、実装部材3-8を用いて半導体装置10Bを実装基板3-2に接合させたことを特徴とするものである。実装部材3-8は、接続ピン4-0と位置決め部材4-2などにより構成されている。接続ピン4-0は可搬可能な柔性金属材料(例えば、導電性を有したバネ材)よりなり、電極板1-4Aの外部接続端子として機能する位置と対応した位置に配設されている。また、位置決め部材4-2はシリコングム等の可搬性及び絶縁性を有した材料により形成されており、接続ピン4-0を上記の所定位置に位置決めする機能を有するものである。

[0100] 上記構成された実装部材3-8は、実装された状態において、接続ピン4-0の上端部が半導体装置10Bの電極板1-4Aに接合(例えば、半田付け接合)され、また接続ピン4-0の下端部は実装基板3-2に接合される。從って本実施例に係る実装構造では、外部接続端子と実装部材3-8との間に接続ピンが介在した構成となる。接続ピン4-0は、前記のように実装可能な構造であるため、例えばばね熱膨張等による接続ピンの変形や、接続ピン4-0との間で熱膨張差等に起因した応力が発生しても、

[010101] よつて、上記の応力が印加されても半導体接続部材 4 0 が可繋することにより吸収される。

[010102] 更に、接続ビン 4 0 は位置決め部材 4 2 により位置決められているため、実装時において個々の接続ビン 4 0 を保持する位置決め部材 4 2 による拘束を緩和する。この際、接続ビン 4 0 を保持する位置決め部材 4 2 は可機械性を有した構成とされているため、接続ビン 4 0 の可変接続部材 4 0 との位置決め処理を簡便に行なうことができる。

[010103] 本実施例では個々の接続ビン 4 0 と半導体接続部材 4 0 とに接続部材 3 2 の位置決め部材 4 2 が設けられることによって必要性はなく、実装作業の容易化を図ることができる。尚、本実施例に係る実装構造は、他の実施例に係る実装構造と行なう必要はない。尚、本実施例に係る実装構造は、他の実施例に係る実装構造と同様である。图 15 は、第 5 実施例に係る半導体接続部材 4 0 の実装構造を示す。

系の半導体装置 1 0 C を例に挙げたものであり、ソケット 4-4 を用いて半導体装置 1 0 C を実装基板 3-2 に実装したことを特徴とするものである。ソケット 4-4 は、半導体装置 1 0 C が装着される接着部 4-6 と、封止樹脂 1-6C の側面に露出した側面部端子 2-0 と接続するよう設計されたリード部 4-8 を有した構成とされている。そして、半導体装置 1 0 C を接着部 4-6 に装着し、リード部 4-8 の上部と半導体装置 1 0 C の側面部端子 2-0 とを電気的に接続した上で、リード部 4-8 の下部を実装基板 3-2 に接合（例えば、半田付け接合）する。これにより、半導体装置 1 0 C はソケット 4-4 を介して実装基板 3-2 に接続される。

記した第5実施例に係る実装構造と同様にリード部50を用いて半導体装置10Cを実装基板32に実装するものであるが、装着部46に代えてダイステージ52を利用したことを行つたものである。本実施例に係るソケット51は、リードフレーム材料により一體的に形成されたリード部50とダイステージ52により構成されている。ダイステージ52は半導体装置10Cを装着する部分であり、その外周位置に複数のリード部50が形成されている。このリード部50は、その半導体装置10Cと対向する部分の一部が直角上方に折曲され、側面部端子20と電気的に接続するよう構成されている。【0107】上記構成としたソケット51を用いることによっても、第5実施例に係る実装構造と同様に半導体装置10Cの装着脱しを容易に行なうことが可能となる。また、ソケット51を構成するリード部50とダイステージ52は一體的な構成であるため、部品点数の削減を図ることができると共に容易にソケット51を製造することができます。

0 1 0 0 1 続いて、上記構成とした半導体装置 1.0 の製造方法(第3実施例に係る製造方法)について説明する。図 19乃至図 2.4 は、半導体装置 1.0 の製造工程を示すための図である。尚、図 19乃至図 2.4 において、第1実施例に係る製造方法の説明に用いた図 1.0 に付し、またその説明は省略する。

0 1 0 0 2 本実施例に係る製造方法は、第1実施例に係る製造方法に対し、少なくともチップ構造工程を実施する前に、半導体素子 1.2 を放熱版 5.6 上に位置決めし、その後、チップ構造工程に対するチップ取り付け工程を実施することを特徴とする。

0 1 0 0 3 本実施例に係る製造方法の特徴として、チップ構造工程に対するチップ取り付け工程を実施することによつて説明する。図 1.8 は、本実施例に係る半導体装置 1.0 における半導体素子 1.2 とチップ構造工程 1.0 に対する接続構造である。放熱版 5.6 は、例えばアーリ 1.0 E に對し、その上面に放熱版 5.6 (放熱部材) を設けた後、チップ構造工程 1.0 と接続する。この放熱版 5.6 は、熱伝導性が高い接着剤を用いて半導体素子 1.2 及び封止樹脂 1.6 A に接着され、封止樹脂 5.6 が介在しない間に、放熱版 5.6 と半導体素子 1.2 が介在しない間に、熱伝導性が不良な封止樹脂 1.6 A が介在しない間に、放熱特性を更に良好なものとすることができるのである。

0 1 0 0 4 図 1.9 に、本実施例では半導体素子 1.2 の背面面 1.8 は封止樹脂 1.6 A から露出した構成とされており、図 2.4 はこの露出した背面 1.8 に直接接着された構成とされている。よつて、放熱版 5.6 と半導体素子 1.2 との間に、熱伝導性が不良な封止樹脂 1.6 A が介在しないため、放熱特性を更に良好なものとすることができるのである。

0109】特に、本事実例では半導体素子1-2の背面には封止樹脂1-6Aに接着してあるが、封止樹脂5-6はこの露出した背面2-8に直接接着されている。よって、放熱版5-6と半導体素子1-2の間に、熱伝導性が不良な封止樹脂1-6Aが介在しながら、放熱特性を更に良好なものとすることができる。

0110】絶対に、上記構成とした半導体装置1-0においては封止樹脂1-6Aから露出した構成とされており、封止樹脂5-6はこの露出した背面2-8に直接接着された構成である。尚、図1-9乃至図2-4において、第1実施例に係る製造方法の説明に用いた図を付し、またその説明は省略する。

0111】本事実例に係る製造方法は、第1実施例に係る製造方法(第3実施例に係る製造方法)について説明する。図1-9乃至図2-4は、半導体装置1-0Eの製造方法を説明するための図である。尚、図1-9乃至図2-4において、第1実施例に係る製造方法の説明に用いた図を付し、またその説明は省略する。

01161上記「サチズオ株式会社」は、出資子会社

は、前記した第4実施例に係る半導体装置10D(図8参照)に於ける折5-6を駆動する機械を示すものである。

【0131】また、前記したように、異方性導電膜は、導電性樹脂を用いて、基板上に形成する。

工程が終了すると、焼いて封止樹脂形成工程が実施され
る。この封止樹脂形成工程では、半導体チップ 1-2 (1-2
A ~ 1-2 C) 及び突起端子 1-8 が配設されたリードフレ
ーム 2-4 を金型に接着し、圧縮が形態を用いて封止樹
脂 1-6A を形成する。この実施例では、各電極板
1-4 A には放熱板 5-6 が配設された状態となっている
が、この放熱板 5-6 を下型の一部として用いることがで
きる。
【01117】図 2-4は、封止樹脂 1-6 A が形成されたリ
ードフレーム 2-4 A を示している。同図に示すように、
リードフレーム 2-4 A は封止樹脂 1-6 A は放熱板 5-6 より内側に形成された
り、離型時ににおける離型性を向上させることができる。
【01118】そして、上記した封止樹脂形成工程が終了すると、焼い
て封止樹脂が溶けられるにより、図 1-8に示す半導

ように、各半導体装置 10 G～10 J に夫々放熱版 5 6 を配設することにより、放熱効率の向上を図ることがで
きる。

【0121】統いて、第 1 実施例である半導体装置 1 0 Kについて説明する。図 3 0 は第 1 用途別に保る半導体装置 1 0 K を説明するための図であり、図 3 0 (A) は半導体装置 1 0 K の断面を、図 3 0 (B) は半導体装置 1 0 K の底面を示す。本実施例に係る半導体装置 1 0 K は、大略すると半導体装置本体 7 0、インタボーザ 7 2 A、風方式散熱膜 7 4、及び外部接続端子 7 6 等により構成されている。

【0122】半導体装置本体 7 0 は、半導体素子 7 8、突起電極 8 0、及び樹脂層 8 2 等により構成されてい
る。半導体素子 7 8 (半導体チップ) は、半導体基板に電子回路が形成されたものであり、その裏表側の面には

[01118] 続いて、第6実施例である半導体装置1.0について説明する。図2.5は、第6実施例である半導体装置1.0Fの断面図である。本実施例に係る半導体装置1.0Eは、前記した第5実施例に係る半導体装置1.0Eに対し、放熱板5.6の上部に更に放熱フィン6.2を配置したことを特徴とするものである。放熱フィン6.2は複数のフィン部6.1を設けることにより、その放熱面積が広くなっている。また、放熱フィン6.2は、熱伝導性良好な接着力により放熱板5.6の上部に接着されてい、よって、放熱フィン6.2を放熱板5.6に配設することにより放熱効率は向上し、半導体素子1.2をより効率的に冷却することができる。

[01119] 続いて、第7乃至第10実施例に係る半導体装置1.0G~1.0Jについて説明する。この各半導体装置1.0G~1.0Jに上記構成としたされた半導体装置本体7.0は、例えば半田ボルトを駆使して機械能を有するものである。

[0123] また、樹脂層8.2(製地で示す)は、例えばポリミド、エポキシ(PPS, PEK, PES, 及び耐熱性液体樹脂等の熱可塑性樹脂)等の熱硬化性樹脂よりも、半導体素子7のバンガード形成側面の全面にわたり形成されている。従つて、半導体素子7.8に配設されている起電極8.0は、この樹脂層8.2により封止された状態となるが、突起電極8.0の先端部は樹脂層8.2から露出するよう構成されている。即ち、樹脂層8.2は、先端部を費して突起電極8.0を封止するよう半導体素子7.8に形成されている。

[0124] 上記構成としたされた半導体装置本体7.0は、

〔0134〕前記のように、半導体装置本体70に形成される。〔0135〕上記のように、半導体装置本体70に形成された半導体装置本体70の平面側は、半導体装置本体70の外周部に沿って、半導体装置本体70の接觸面と反対側の面に配設される。

〔0136〕更に、本実施例に係る半導体装置10Kは、半導体装置本体70に形成された突起電極80の配設位置及び寸法と、インタボーザ72Aとの位置決めを行なった上で、半導体装置本体70とインタボーザ72Aとの間に異方性半導体装置本体70を介装し、半導体装置本体70をインタボーザ72Aに向け押圧する。

〔0137〕これにより、前記のように異方性導電膜74が半導体装置本体70を形成する。

い、いわゆるチップサイズパッケージ構造となる。また、上記したように半導体装置本体70は、半導体素子78上に樹脂層82が形成された構成とされており、かつこの樹脂層82は先端部を被覆して突起電極80を封止した構造とされている。このため、樹脂層82によりリード線の突起電極80は保持されることとなり、よってこの樹脂層82はアンダーフィルレジン6と同様の機能を有することとなる。

【10125】また、インターポーザ72Aは半導体装置本体70と外部接続端子76を電気的に接続する中間部材として機能するものであり、配線バーン84Aとベス部材86Aにより構成されている。本実施例では、インターポーザ72AとしてTAB(Tape Automated Bonding)テープを利用したことを特徴としている。このように、インターポーザ72AとしてTABテープを用いることにより、一般にTABテープは半導体装置の構成部品

一ガ7 2 Aは機械的に接合されると共に、異方性導電性
7 4の有する異方性導電性により半導体装置本体7 1
インターポーラー7 2 Aは電気的に接合される。よって、
実施例の製造方法によれば、半導体装置本体7 0と、
タガボーザ7 2 Aとの機械的接合處理及電気的接合を
一括りに行なうことができるため、半導体装置1 1の
製造工程を簡略化することができる。

[0135] 上記のように半導体装置本体7 0と、
タガボーザ7 2 Aとの接合処理が終了すると、続いて半導
体装置1 1の外部接続端子7 6を接合用によりインジ
ンターゲート7 2 Aに接合する。この際、外部接続端子7 6
は加熱雰囲気中で行なわれるため、外部接続端子7 6
は溶融してタガ8 8 内に入らしてインターゲート7 2 Aと
接合バーン8 4 Aと電気的に接続する。

[0136] この際、上記のように外部接続端子7 6
インターポーラー7 2 Aに形成された孔8 8 内に進入す

【0131】また、前記したように、異方性導電膜

ように、各半導体装置 $10G \sim 10J$ に夫々放熱板 $5G$

め、この異方向導電膜74を用いて半導体装置本体ヒンタガーボルト72Aと接合することができます。

【0121】 続いて、第1実施例である半導体装置10Kについて説明する。図30は第1実施例に係る半導体装置10Kを説明するための図であり、図30(A)は半導体装置10Kの断面を示す。図30(B)は半導体装置10Kの底面を示す。図30(B)によれば、半導体装置10Kは、大略すると半導体装置本体70、インダボーザ72A、風向性生産電極74、及び外部接続端子76等により構成されている。

【0122】 半導体装置本体70は、半導体素子78、突起電極80、及び樹脂層82等により構成されている。半導体素子78(半導体チップ)は、半導体基板に電子回路が形成されたものであり、その裏表側の面上には

際、異方性導電膜 7 / 4 の有する表面性により半導体本体 7 0 とインタボーザ 7 2 A は機械的に接合され、異方性導電膜 7 / 4 の有する異方性導電性により半導体本体 7 0 とインタボーザ 7 2 A は電気的に接合される。

【0132】このように、異方性導電膜 7 / 4 は接合部電極の双方の特性を有しているため、各機能を個別に而不是行なう構成に比べて部品点数及び組立工数の低減を図ることができる。更に、異方性導電膜 4 は可塑性を有し、かつ半導体装置本体 7 0 とインタボーザ 7 2 Aとの間に介装されたため、この異方性導電膜 7 / 4 を接合部として機能させることができる。よつて、半導体装置本体 7 0 とインタボーザ 7 2 Aとの間に半導体装置本体 7 0 とインタボーザ 7 2 Aとの間に

は、例えば半田ボルトを配線電極として機能するものであ
る。

【0123】また、樹脂層 8 2 (製地で示す) は、例え
ばポリミド、エポキシ (PPS, PEK, PES, 及
び耐熱性液体樹脂等の熱可塑性樹脂) 等の熱硬化性樹脂
により、半導体様子 7 のハブが形成側面の全面にわ
たり形成されている。従って、半導体様子 7 8 に記載さ
れている起突電極 8 0 は、この樹脂層 8 2 により封止さ
れた状態となるが、突起電極 8 0 の先端部は樹脂層 8 2
から露出するよう構成されている。即ち、樹脂層 8 2
は、先端部を費して突起電極 8 0 を封止するよう半導体
様子 7 8 に形成されている。

【0124】上記構成としたされた半導体装置本体 7 0 は、

〔013-4〕上記のように、半導体装置本体70に形成される。〔013-5〕この外接端子76は半田ボールより、ベース部材3-Aに形成され、半導体装置本体70に接続される。〔013-6〕半導体装置本体70は、半導体装置本体70の接続部に外接端子76を介して配線パターん8-4と接続される。〔013-7〕半導体装置本体70の搭載面と反対側の面に配線される。

〔013-8〕更に、本実施例に係る半導体装置10Kは、半導体装置本体70に形成された突起電極80の配線部に接続部材3-Aと、インサボーザ72Aとの位置決めを行なった上で、半導体装置本体70とインサボーザ72Aとの間に異方性半導体装置本体70を介装し、半導体装置本体70をインサボーザ72Aに向け押圧する。

〔013-9〕これにより、前記のように異方性導電

い、いわゆるチップサイズパッケージ構造となる。また、上記したように半導体装置本体70は、半導体素子78上に樹脂層82が形成された構成とされており、かつこの樹脂層82は先端部を露出して突起電極80を封止した構造とされている。このため、樹脂層82によりリード線の突起電極80は保持されることとなり、よってこの樹脂層82はアンダーフィルレジン6と同様の機能を有することとなる。

【10125】また、インターポーザ72Aは半導体装置本体70と外部接続端子76を電気的に接続する中間部材として機能するものであり、配線バーン84Aとベス部材86Aにより構成されている。本実施例では、インターポーザ72AとしてTAB(Tape Automated Bonding)テープを利用したことを特徴としている。このように、インターポーザ72AとしてTABテープを用いることにより、一般にTABテープは半導体装置の構成部品

親孔9.6を形成しておく。更に、接続孔9.6内に露出した記憶バーン8.4Aには、前記したワイヤボンディング技術を用いてスタッドバンプ1.04を形成しておく。

【0183】上記のように、本実施例に係る半導体装置1.0Sでは、接着力9.8が半導体装置本体7.0とインタボーザ7.2Cとを機械的に接合し、またスタッドバンプ1.04が半導体装置本体7.0とインタボーザ7.2Cとを電気的に接合(接続)する。このように、機械的接合と電気的接合を別個の部材(接着剤9.8、フライングリード1.06)により半導体装置本体7.0とインタボーザ7.2Bとの間に接着力9.8を介接し、半導体装置1.0Sが形成される。尚、上記した製造方法では、半導体装置1.0Sを多段層取りする方法について述べた後で、突起電極8.0との接続を確実に維持することができる。

【0184】また、フライングリード1.06と突起電極8.0との接続位置においては絶縁性を有する接着剤9.8が介在しないため、フライングリード1.06と突起電極8.0との電気的接続の信頼性を向上させることができない。更に、フライングリード1.06はバネ性を有しているため、接続時にフライングリード1.06はバネ力をもつて突起電極8.0に圧接する。よって、これによつてもフライングリード1.06と突起電極8.0との電気的接続の信頼性を向上させることができない。

【0185】尚、図4.9は、第1.8実施例である半導体装置1.0Sを示す断面図である。尚、図4.9において、図3.7を用いて説明した第1.4実施例に係る半導体装置1.0Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第1.4乃至1.8実施例に係る半導体装置1.0N～1.0Sは、導電性部材として導電性ベースト1.00、スタッドバンプ1.04、或いはフライングリード1.06を用い、この導電性ベースト1.00、スタッドバンプ1.04、フライングリード1.06により半導体装置本体7.0とインタボーザ7.2A、7.2Bとを電気的に接合(接続)する構成とされていた。

【0186】これに対し、本実施例に係る半導体装置1.0Sは、上記の導電性ベースト1.00或いはスタッドバンプ1.04に代えて、インタボーザ7.2Dに通電性部材として、接続ビン1.10と位置決め部材1.12を組み込んだ構成としたことを特徴とするものである。本実施例に係るインタボーザ7.2Dは、大略すると接続ビン1.10、位置決め部材1.12、接着力1.14、及びベース部材1.16等により構成されている。接続ビン1.10は、突起電極8.0の形成位置において、その上端部を突起電極8.0に接合すると共に、下端部を外部接続端子7.6に接合される。また、位置決め部材1.12は、この接続ビン1.10を突起電極8.0の形成位置に位置決めする機能を有するものであり、シリコンゴム等の可撓性材料により形成されている。

【0187】上記のように、接着力1.14によりベース部材1.16に接着力1.14に對向する位置には孔8.8が形成されており、接続ビン1.10はこの孔8.8を介して外部接続端子7.6と接続される。图5.5(B)は、接続ビン1.10と外部接続端子7.6との接続位置を拡大して示している。同部に示されるように、接続ビン1.10は外部接続端子7.6内に嵌入し、かつ下端部は外接続端子7.6に嵌入する。よって突起電極8.0と外部接続端子7.6は接続ビン1.10を介して電気的に接続される。

【0188】上記のように、接着力1.14によりベース部材1.16の形成部分に対応するベース部材8.6Cをドライエッキング等により除毛し、これにより単体となつて配線バーン9.8によりウエハ9.0とインタボーザ7.2Cとを形成される。また、このフライングリード1.06の形成位置は、突起電極8.0の形成位置と対応するよう設定されている。

【0189】フライングリード1.06を形成するには、予め形成されたインタボーザ7.2Cのフライングリード1.06の形成部分に対応するベース部材8.6Cをドライエッキング等により除毛し、これにより単体となつて配線バーン9.8によりウエハ9.0とインタボーザ7.2Cとを形成する。これにより、インタボーザ7.2Cの外周縫部位置にフライングリード1.06が形成される。

【0190】このフライングリード1.06は、接着力1.10の配設位置を迂回して突起電極8.0に接続し、これにより半導体装置本体7.0とインタボーザ7.2Aなどを電気的に接続する。また、突起電極8.0とフライングリード1.06との接続位置は、カバー樹脂1.08により樹脂封止されている。これにより、外力印加等によりフライングリード1.06が変形することを防止す

る。

【0191】上記のように、カバー樹脂1.08が形成されることにより、接着力9.8により形成しても、もたモールド成形により形成する構成としてもよい。图5.1は、カバー樹脂1.08が形成された状態を示している。

【0192】このように、カバー樹脂1.08の形成処理が終了すると、統いて图5.2にA-A'で示す破壊位置で切削処理が行なわれ、これにより图4.9に示す半導体装置1.0Nが形成される。尚、上記した製造方法では、半導体装置1.0Sを多段層取りする方法について述べたが、图5.3及び图5.4に示すように、半導体装置1.0Sを個々に製造することも可能である。

【0193】統いて、第1.9実施例である半導体装置1.0Tについて説明する。图5.5(A)は、第1.9実施例である半導体装置1.0Tを示す断面図である。尚、图5.5において、图3.7を用いて説明した第1.4実施例に係る半導体装置1.0Nの構成と対応する構成については、同一符号を付してその説明を省略する。前記した第1.4乃至1.8実施例に係る半導体装置1.0N～1.0Sは、導電性部材として導電性ベースト1.00、スタッドバンプ1.04、或いはフライングリード1.06を用い、この導電性ベースト1.00、スタッドバンプ1.04、フライングリード1.06により半導体装置本体7.0とインタボーザ7.2A、7.2Bとを電気的に接合(接続)する構成とされていた。

【0194】图5.6乃至图5.8において、第7実施例に係る製造方法(第1.2実施例に係る製造方法)を示していく。尚、图5.6乃至图5.8において、第7実施例に係る製造方法(第1.2実施例に係る製造方法)を示していく。尚、图5.6乃至图5.8において、第7実施例に係る製造方法を説明するのに用いた图3.8乃至图4.0に示してある。尚、图5.0乃至图5.4において、第7実施例に係る製造方法を説明するのに用いた图3.8乃至图4.0に示してある。尚、图5.0乃至图5.4において、第7実施例に係る製造方法を説明する。また、以下の製造方法では、半導体装置1.0Sを多段層取りする方法について説明するものと号を付してその説明を省略する。前記した第1.4乃至1.7実施例に係る半導体装置1.0N～1.0Rは、導電性部材として導電性ベースト1.00或いはスタッドバンプ1.04を用い、この導電性ベースト1.00或いはスタッドバンプ1.04により半導体装置本体7.0とインタボーザ7.2Aとを電気的に接合(接続)する構成とされた。これに対し、本実施例に係る半導体装置1.0Sは、上記の導電性ベースト1.00或いはスタッドバンプ1.04に代えてフライングリード1.06(導電性部材)を設けたことを特徴とするものである。

【0195】半導体装置1.0Sを製造するには、图5.0に示すように、予め別工程において半導体装置本体7.0が複数個形成されたウエハ9.0、接着力1.14、及びベース部材1.16等により構成されている。接続ビン1.10は、突起電極8.0の形成位置において、その上端部を突起電極8.0に接合すると共に、下端部を外部接続端子7.6に接合される。また、位置決め部材1.12は、この接続ビン1.10を形成しておらず、接着力1.14及びベース部材1.16を形成しておらず、接着力1.14及びベース部材1.16の形成位置と対応する位置には孔8.8及びびん孔1.02を形成しておく。

【0196】そして、突起電極8.0と位置決めビン1.10との位置決めを行なった上で、ウェハ9.0をインターザ7.2D(接続ビン1.10、位置決め部材1.12、接着力1.14、及びベース部材1.16)に加熱しつぶ押圧する。これにより、图5.7に示すように、接続ビン1.10の上端部は突起電極8.0内に嵌入し、かつ下端部は外接続端子7.6に嵌入する。よって突起電極8.0と外部接続端子7.6は接続ビン1.10を介して電気的に接続さる。

【0197】このように、突起電極8.0と外部接続端子7.6との接続処理が終了すると、統いて图5.7にA-A'で示す被膜位置で切削処理が行なわれ、これにより图5(A)に示す半導体装置1.0Tが形成される。尚、图5.8に示すように、接続ビン1.10は接続ビン1.10を介して電気的に接続され、また、突起電極8.0とフライングリード1.06とが接続される。图5.5(B)は、接続ビン1.10と外部接続端子7.6との接続位置を拡大して示している。同部に示されるように、接続ビン1.10は外部接続端子7.6内に食い込んだ状態で接続され、これにより图5.8に示すように、接続ビン1.10が形成される。尚、

記した製造方法では、半導体装置 10 T を多数個取りずる方法について述べたが、図 5 8 に示すように、半導体装置 10 T を個々に製造することも可能である。

【019 8】 繰りて、第 20 実施例である半導体装置 1 0 U について説明する。図 5 9 は、第 20 実施例に係る半導体装置 1 0 U を示す断面図である。尚、図 5 9 において、図 5 5 と用いて説明した第 1 9 実施例に係る半導体装置 1 0 T の構成と対応する構成について、同一符号を付してその説明を省略する。前記した第 1 9 実施例に係る半導体装置 1 0 T では、小型化のために半導体装置本体 7 0 に形成された突起電極 8 0 の配設ビッチと、インタボーザ 7 2 D に形成された接続ピン 1 1 0 の配設ビッチとを同一ビッチとするよう構成していた。

【019 9】これに対し、本実施例に係る半導体装置 1 0 U は、半導体装置本体 7 0 に形成された突起電極 8 0 の配設ビッチに対し、インタボーザ 7 2 B に形成された外部接続端子 7 6 の端子レイアウトを大きく変更したことを特徴とするものである。これに伴い、インタボーザ 7 2 B の面側は半導体装置本体 7 0 の面側に對しあくなつている。

【020 0】このように、突起電極 8 0 の配設ビッチに対し外部接続端子 7 6 の配設ビッチを大きく設定したことにより、インタボーザ 7 2 B 上における配線バーン 8 4 B の引回しの自由度を更に向上去ることができる。これにより、外部接続端子 7 6 の端子レイアウトの自由度が向上し端子設計の容易化を図ることができると共に、突起電極 8 0 (接続ピン 1 1 0) の電極間ビッチが狭ビッチ化してもこれに容易に対応することができる。

【020 1】図 6 0 は、上記した半導体装置 1 0 T の製造方法(第 1 3 実施例に係る製造方法)を示す図である。また、同様に多數個取りを行う方法ではなく、個々に半導体装置 1 0 T を形成する方法を例にあげて示している。本実施例において半導体装置本体 7 0 、接続ピン 1 1 0 を保持した位置決め部材 1 1 2 、接着剤 1 4 、及びインタボーザ 7 2 B を形成しておく。この際、接着剤 1 1 4 の突起電極 8 0 の形成位置と対応する位置には、通孔 1 0 2 を予め形成しておく。

【020 2】そして、突起電極 8 0 と位置決め部材 1 1 2 、及び位置決め部材 1 1 2 と接続ピン 1 1 0 の位置決めを行なった上で、半導体装置本体 7 0 をインタボーザ 7 2 B に加熱しつづけ圧着する。これにより、接続ピン 1 1 0 の上端部は突起電極 8 0 内に嵌入し、かつ下端部は外部接続端子 7 6 に嵌入し、よって突起電極 8 0 と外部接続端子 7 6 は接続ピン 1 1 0 を介して電気的に接続される。以上の処理を行なうことにより、図 5 9 に示す半導体接置 1 0 U が形成される。

【020 3】

【発明の効果】 上述の如く本発明によれば、次に述べる種々の効果を実現することができる。請求項 1 記載の発

ことができる。更に、切断工程において個々の半導体装置の境界位置で封止樹脂及び電極板は切斷され、よって電極板は切断位置において露出するため、この露出部分を外部接続端子として用いることができる。

【021 0】また、外部接続端子は半導体素子と電気的に接続された電極板の一部として形成され、この電極板の形状によれば、電極板を形成するのにリードフレーム形成法を利用することが可能となり、よって設備の増加を伴うことなく電極板形成工程を実施することができる。また、請求項 1 2 記載の発明によれば、突起電極工程において個々の半導体素子の位置決めを行なう必要がなくなり、形状の大きな放熱部材と電極板と共に配線バーンの引回しの自由度を更に向上去ることができる。

【021 1】また、請求項 2 0 記載の発明によれば、導体装置本体をインタボーザに装着される際に印加される押圧力は孔の形成位置に集中して孔内における導電部材を確実に固定することができる。また、請求項 2 1 記載の発明によれば、インタボーザとして TAB フープを利用してするにより半導体装置のコスト低減を図ることができる。

【021 2】また、請求項 1 3 記載の発明によれば、突起端子部の形成と同時に孔から一括的に行なうことができるため、半導体装置の製造工程の簡便化を図ることができる。また、実装時に確実に外部接続端子を実装基板に接続することができると共に隣接する外部接続端子間に短絡が発生することを防止することができる。

【021 3】また、請求項 1 5 記載の発明によれば、半導体装置を VGA と同様に実装することができ、実装性を操作感覚を行なうことが可能となる。

【021 4】また、請求項 1 1 記載の発明によれば、ノットを用いて半導体装置を実装基板に接合するため半導体装置の装着部を容易に行なうことができる。また、半導体装置の構造状態においてリード部と外部接続端子とは対向するため、リード部を引き回すことなくリード部と外部接続端子との接続を行なうことができ、ソケットの構造の簡便化を図ることができる。

【021 5】更に、接着剤を接合した状態においても定可機能を有するため、接着剤を接合部材ににおいても半導体装置本体とインタボーザとの接合部材を選定することができ、気的接合機能(機械的接合機能)に最適な部材を選定することができ、半導体装置本体とインタボーザとの機械的接合及電気的接合を共に確実に行なうことができる。

【021 6】また、請求項 1 1 記載の発明によれば、半導体装置本体と実装基板との接続により吸収される衝撃や振動を緩和することができ、実装の信頼性を向上させることができ、実装の信頼性を向上させることができ。

【021 7】また、接続ピンは位置決め部材により外部接続端子の形成位置に對応した位置に位置決めされており、実装時ににおいて個々の接続ピンと外部接続端子または実装基板側で熱膨張係数差に起因して応力が発生しても、この応力を接続ピンが可視するにより吸収されため、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができ。

【021 8】また、接続ピンは位置決め部材により外部接続端子の形成位置に對応した位置に位置決めされており、実装時ににおいて個々の接続ピンと外部接続端子または実装基板側で熱膨張係数差に起因して応力が発生しても、この応力を接続ピンが可視するにより吸収されため、外部接続端子と実装基板との接続を確実に維持することができ、実装の信頼性を向上させることができ。

【021 9】更に、接着剤を接合した状態においても定可機能を有するため、接着剤を接合部材ににおいても半導体装置の突起電極またはインタボーザの配線バーン上に塗布するだけで導電性部材の配設を行なうことができる。また、接合部材を接合部材と接觸する部材ににおいても半導体装置の突起電極またはインタボーザの配線バーン上に塗布するだけで導電性部材の配設を行なうことができる。

【022 0】また、半導体装置本体とインタボーザとを接合する風属性導電部及び導電性バーンとリードと突起電極との電気的接続の信頼性を向上させることができ。また、接合部材を介して接合されることになり、電気リードハーネスを介して接合されることによって、電気接続を確実に行なうことができる。また、請求項 2 6 1 記載の発明においては、フランジリードと突起電極との接続位置においては接着剤が介在しないため、フランジリードと突起電極との電気的接続の信頼性を向上させることができる。また、接合時にフランジリードはバトルをもって突起電極に圧接するため、これによつても

ことができる。更に、異方性導電膜は緩衝膜として機能するため、この異方性導電膜により半導体装置本体とインタボーザとの間に発生する応力を緩和することができる。

【021 6】また、請求項 1 8 記載の発明によれば、起電極の配設ビッチと外部接続端子の配設ビッチを同じビッチとしたことにより、インタボーザの形状を小さくすることができ、半導体装置の小型化を図ることができる。また、請求項 1 9 記載の発明によれば、突起電極に対する構造の小型化によって、配線バーンの引回しを大きく定したことにより、インタボーザ上における配線バーンの引回しの自由度を更に向上去ことができる。

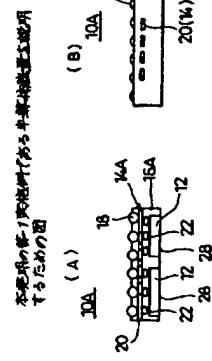
【021 7】また、請求項 2 0 記載の発明によれば、導体装置本体をインタボーザに装着される際に印加される押圧力は孔の形成位置に集中して孔内における導電部材を向上できため、半導体装置本体とインタボーザとを向上できるため、半導体装置本体を確実に接続することができる。また、請求項 2 1 記載の発明によれば、インタボーザとして TAB フープを利用してするにより半導体装置のコスト低減を図ることができる。

【021 8】また、請求項 2 3 及び請求項 3 0 記載の発明によれば、突起端子部の形成と同時に孔から一括的に行なうことができるため、導体装置本体に形成された配線バーン任意に設定できるため、断線バーンを引き回すことにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができ、よって外部接続端子の端子レーアウトの自由度を高めることができる。また、半導体装置本体とインタボーザとを接合する際に行なわれる機械接合と電気的接合を別個の部材(接着剤、導電性部材により行なうことにより、各機能(機械的接合機能、気的接合機能)に最適な部材を選定することができ、半導体装置本体とインタボーザとの機械的接合及電気的接合を共に確実に行なうことができる。

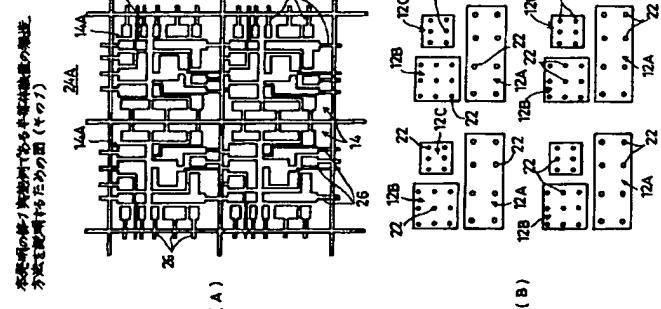
【021 9】更に、接着剤を接合した状態においても定可機能を有するため、接着剤を接合部材ににおいても半導体装置の突起電極またはインタボーザの配線バーン上に塗布するだけで導電性部材の配設を行なうことができる。また、接合部材を接合部材と接觸する部材ににおいても半導体装置の突起電極またはインタボーザの配線バーン上に塗布するだけで導電性部材の配設を行なうことができる。また、接合部材を接合部材と接觸する部材ににおいても半導体装置の突起電極またはインタボーザの配線バーン上に塗布するだけで導電性部材の配設を行なうことができる。

【022 0】また、半導体装置本体とインタボーザとを接合する風属性導電部及び導電性バーンとリードと突起電極との電気的接続の信頼性を向上させることができ。また、接合部材を介して接合されることになり、電気リードハーネスを介して接合されることにより突起電極の形成位置に拘わらず外部接続端子の位置を設定することができる。また、請求項 2 6 1 記載の発明においては、フランジリードと突起電極との接続位置においては接着剤が介在しないため、フランジリードと突起電極との電気的接続の信頼性を向上させることができる。また、接合時にフランジリードはバトルをもって突起電極に圧接するため、これによつても

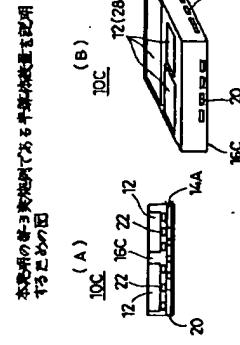
[図 1]



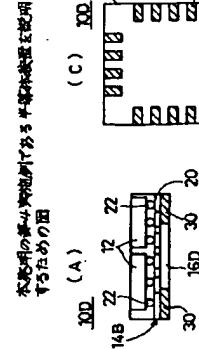
[図 2]



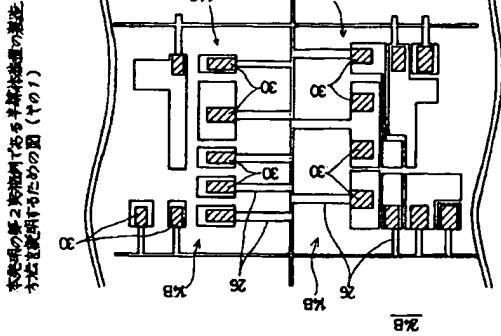
[図 7]



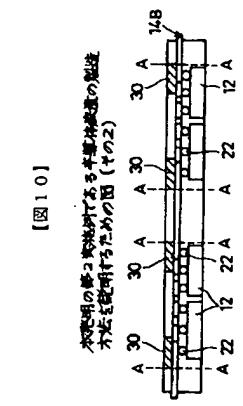
[図 8]



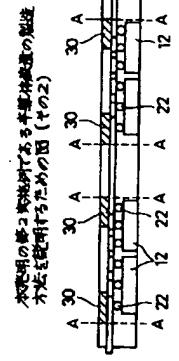
[図 3]



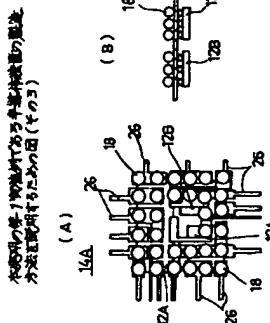
[図 9]



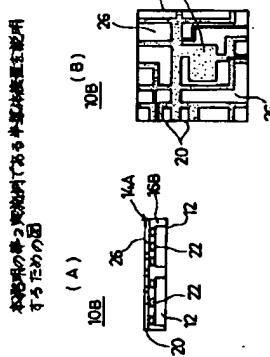
[図 10]



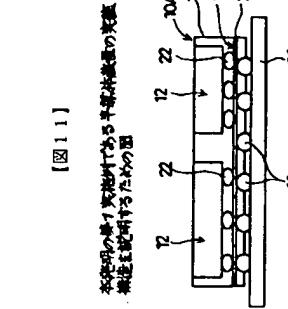
[図 4]



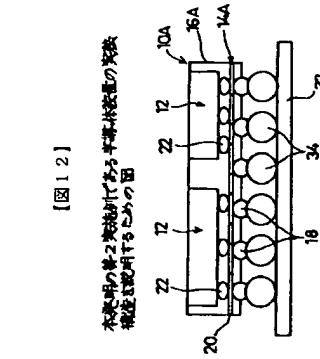
[図 6]



[図 11]

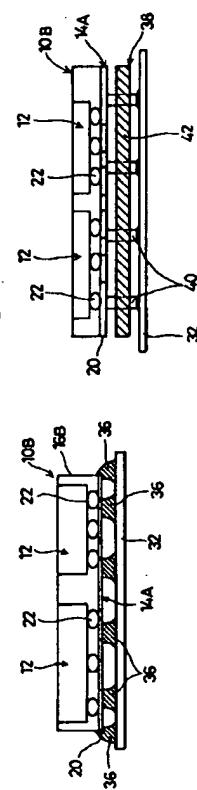


[図 12]



【図1.3】

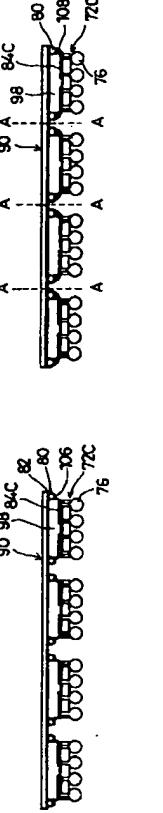
本発明の第3実施例である半導体装置の実施
構造を示すための図



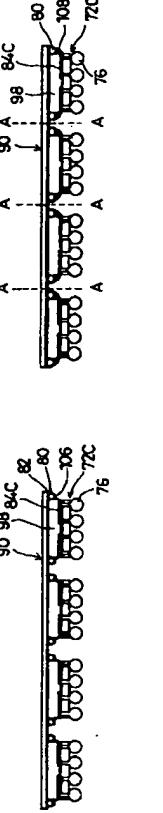
【図4.2】
本発明の第1実施例である半導体装置の構成
下うちたる図



【図4.3】
本発明の第1実施例である半導体装置の構成
下うちたる図



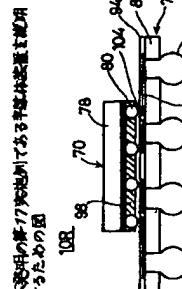
【図4.4】
本発明の第1実施例である半導体装置の構成
下うちたる図



【図4.7】
本発明の第1実施例である半導体装置の構成
下うちたる図

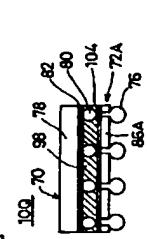


【図4.9】
本発明の第1実施例である半導体装置の構成
下うちたる図



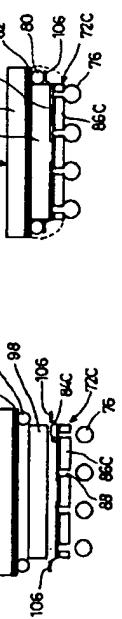
【図4.5】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)



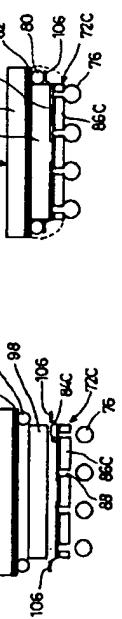
【図5.1】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)



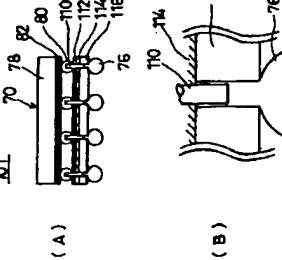
【図5.3】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)



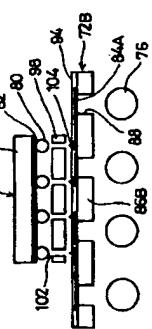
【図5.5】

本発明の第1実施例である半導体装置の構成
下うちたる図

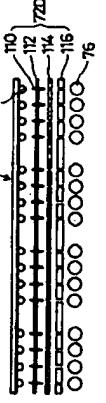


【図4.8】

本発明の第1実施例である半導体装置の構成
下うちたる図

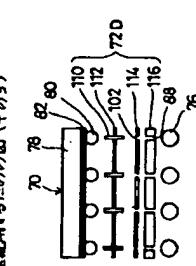


本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)



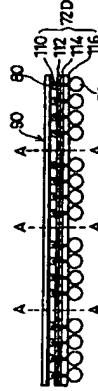
【図5.6】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの3)



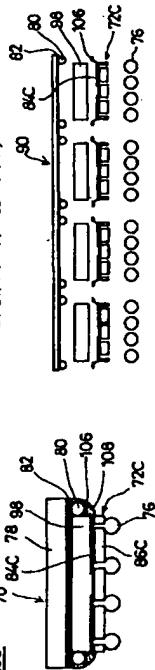
【図5.7】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)



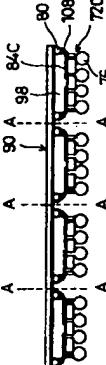
【図5.9】

本発明の第1実施例である半導体装置の構成
下うちたる図



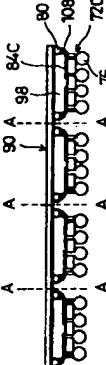
【図5.2】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)



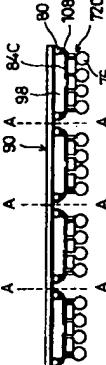
【図5.4】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)

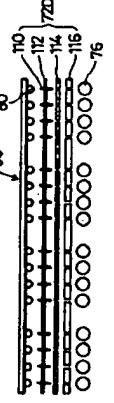


【図5.6】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)

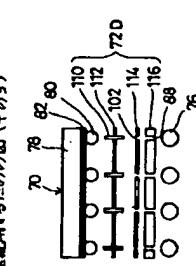


本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)



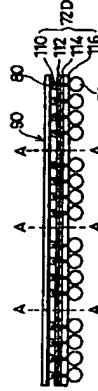
【図5.8】

本発明の第1実施例である半導体装置の構成
下うちたる図(やの3)

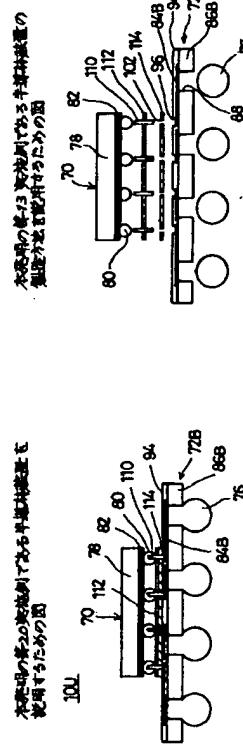


【図5.9】

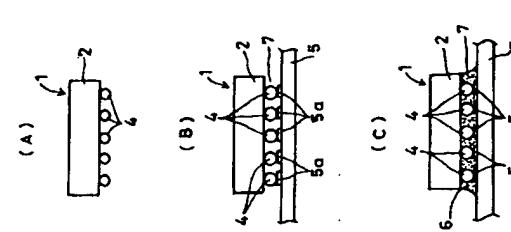
本発明の第1実施例である半導体装置の構成
下うちたる図(やの2)



【図5.9】
不燃用の導電性樹脂で打ち半導体素子を
保護するための回路



【図6.1】
保護の導電性樹脂層の一例を示す図
左の回路



フロントページの続き

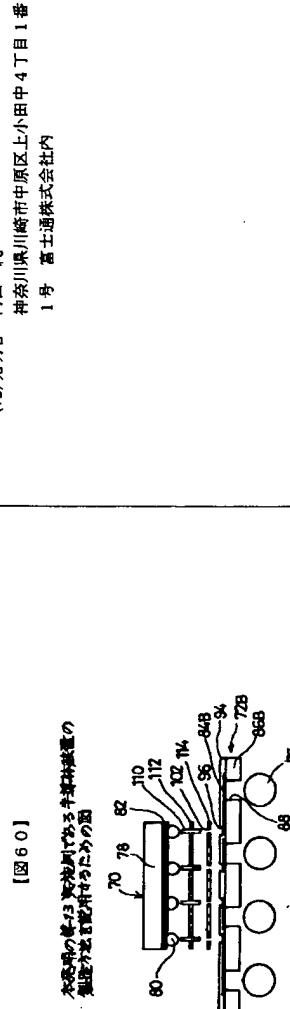
(72) 発明者 森岡 宗知
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 新間 康弘
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 小野寺 正徳
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 深澤 则雄
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 河西 純一
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

【図6.0】
不燃用の導電性樹脂で打ち半導体素子を
保護するための回路

右の回路



(72) 発明者 河西 純一
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内